

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

01224730 ****Image available****

SEMICONDUCTOR INPUTTING CIRCUIT

PUB. NO.: **58-162130 [JP 58162130 A]**

PUBLISHED: September 26, 1983 (19830926)

INVENTOR(s): SHITEI TSUNAAKI

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 57-044637 [JP 8244637]

FILED: March 23, 1982 (19820323)

INTL CLASS: [3] H03K-019/00; G11C-011/34; H03K-003/356

JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits); 45.2 (INFORMATION PROCESSING -- Memory Units)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 217, Vol. 07, No. 284, Pg. 129,
December 17, 1983 (19831217)

ABSTRACT

PURPOSE: To suppress influence of variation of manufacture to minimum by a titled semiconductor inputting circuit, by forming said circuit by an input level converting circuit block and a bistable state holding circuit block, and eliminating DC power consumption by the whole inputting circuit.

CONSTITUTION: A semiconductor inputting circuit is formed by an input level converting circuit block 3 which does not generate a DC current path for making an MOSFET1 non-conducting in case when voltage applied to a signal input terminal 1 is in a TTL level, and a bistable state holding circuit block 4 whose state is varied by a high level of the TTL level. The signal output terminal is connected to the drain of MOSFETs T7, T8 of the bistable state holding circuit block 4. Even in case when the TTL high level is inputted, DC power consumption is eliminated in a stationary state. Threshold voltage of the circuit is scarcely influenced by a variation element of the manufacturing process, since threshold voltage of the bistable state holding circuit block 4 is governing, and is decided by a circuit constant.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—162130

⑪ Int. Cl.³

H 03 K 19/00

G 11 C 11/34

H 03 K 3/356

識別記号

1 0 1

庁内整理番号

6832—5 J

6549—5 B

6932—5 J

⑬ 公開 昭和58年(1983)9月26日

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ 半導体入力回路

⑯ 特 願 昭57—44637

⑰ 出 願 昭57(1982)3月23日

⑱ 発 明 者 四手井綱章

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12

号

⑳ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

半導体入力回路

2. 特許請求の範囲

(1) 電源線と接地線との間に縦続的に接続された電位降下回路と第1のCMOSインバータとにより構成されこの第1のCMOSインバータにハイレベルが入力されたときに反転出力端子にローレベルを出力しかつ非反転出力端子に入力電位を出力するとともにローレベルが入力されたときに反転出力は電源電圧から上記電位降下回路のしきい値電圧の差電圧を出力しかつ非反転出力端子に入力電位を出力する入力レベル変換回路ブロックと、相互に入出力端をたすきがけ状に接続するとともに一方のMOSトランジスタのソースを電源線に接続しかつ他方のMOSトランジスタのソースを接地線に接続した第2および第3のCMOSインバータと、この第2のCMOSインバータの接地側のMOSトランジスタと並列に接続され上記非反転出力端子がハイレベルになると第2のCMOSイン

バータの接地側のMOSトランジスタと第3のCMOSインバータの電源側のMOSトランジスタを導通させてローレベルを出力させる第1の並列接続のMOSトランジスタと、上記第3のCMOSインバータの接地線側のMOSトランジスタと並列に接続されて上記第2および第3のCMOSインバータおよび上記第1の並列接続のMOSトランジスタとともに双安定状態保持回路ブロックを構成し、上記反転出力端子がハイレベルになると上記第2のCMOSインバータの電源側のMOSトランジスタと第3のCMOSインバータの接地線側のMOSトランジスタを導通状態にしてハイレベルを出力させる第2の並列接続のMOSトランジスタとよりなる半導体入力回路。

(2) 電位降下回路はグートをドレインに接続したMOSトランジスタを2段縦続接続してなることを特徴とする特許請求の範囲第1項記載の半導体入力回路。

(3) 電位降下回路はグートにバイアスが印加されたMOSトランジスタであることを特徴とする特

許請求の範囲第1項記載の半導体入力回路。

3. 発明の詳細な説明

この発明は、消費電力が小さく、製造バラツキ要素に対してしきい電圧の変動の小さい半導体入力回路に関する。

従来のTTLレベル用相補型MOS入力回路を第1図に示す。この第1図において、1は信号入力端子、2は信号出力端子、T1はPチャネル型MOSトランジスタ、T2はNチャネル型MOSトランジスタ（これらは以下MOSFETと云う）である。

信号入力端子1はMOSFET T1, T2の各ゲート端子に接続され、信号出力端子2はMOSFET T1, T2の各ドレイン端子に接続され、MOSFET T1のソース端子は電源線Vcc(5V)、MOSFET T2のソース端子は接地線GND(0V)に接続されており、TTLレベル用入力回路としては、信号入力端子1にローレベルである0.8Vが入力された場合に、MOSFET T1が導通状態、MOSFET T2が非導通状態となるため、信号出

力端子2は電源線Vccである5Vが出力される。

さらに、信号入力端子1にハイレベルである2.0Vが入力された場合には、MOSFET T1が非導通までゆかず中間状態となり、MOSFET T1が導通状態、MOSFET T2も導通状態となるため、MOSFET T1の導通抵抗 R_p 、MOSFET T2の導通抵抗 R_n から信号出力端子2のレベル V_{out} は、

$$V_{out} = V_{cc} \cdot R_n / (R_p + R_n) \quad \cdots (1)$$

と表わせるので、内部ローレベルを満足するように、 $0 \leq V_{out} \leq 0.4$ を満足するような導通抵抗 R_n 、 R_p をもつトランジスタを設計することで、この回路はTTLレベルのハイレベル2.0Vおよびローレベル0.8Vに対して、それぞれ内部論理レベルのローレベル0.4V以下およびハイレベル5Vに出力するようなレベル変換および反転論理機能をもつ動作を示す。

したがって、入力レベルがハイレベルのときには、MOSFET T1, T2ともに導通するので、電源線Vccから接地線GNDへの直流通路が存在

3

するため、相補型MOS回路特有の低消費電力特性はすべて入力回路の消費電力に依存すると云う欠点があった。

さらに、相補型MOS回路での導通抵抗 R_p 、 R_n の値を決定する工程はそれぞれ独立な工程であるため、工程バラツキは最悪の場合にはバラツキ要素が加重され、回路のバラツキをより大きくする方向にあるため、製造工程のバラツキが導通抵抗 R_p 、 R_n の許容範囲を越え、歩留りに大きく影響すると云う欠点があった。

この発明は、上記従来の欠点を除去するためになされたもので、入力回路全体としては、直流通路消費電力を零とし、製造バラツキに対しては回路により影響を最小に抑制できる半導体入力回路を提供することを目的とする。

以下、この発明の半導体入力回路の実施例について図面に基づき説明する。第2図はその一実施例の回路図である。この第2図において、第1図と同一部分には同一符号を付して述べる。信号入力端子1はMOSFET T1, T2のゲートおよび

4

MOSFET T8のゲートに接続されている。

MOSFET T1, T2はMOSFET T3, T4とともに入力レベル変換回路ブロック3を構成しており、MOSFET T4のソースは電源端子に接続され、そのゲートとドレインはMOSFET T3のソースに接続されている。MOSFET T3のゲートとドレインはMOSFET T1のソースに接続されている。このMOSFET T3とT4は電圧降下回路7を構成している。

MOSFET T1のドレインとMOSFET T2のドレインは直結され、その接続点は入力レベル変換回路ブロック3の反転出力端子5を介してMOSFET T5のゲートに接続されている。

MOSFET T5~T10とにより双安定状態保持回路ブロック4が形成されており、MOSFET T5とT6のソースはアースされ、両ドレインはMOSFET T9のドレインおよびMOSFET T7, T10のゲートに接続されている。MOSFET T6のゲートとMOSFET T9のゲートは直結されており、MOSFET T9のソースは電源に接続

5

6

されている。

MOSFET T7, T8の両ソースはアースされ、両ドレインはMOSFET T10のドレインに接続され、MOSFET T10のソースは電源に接続されている。このMOSFET T7, T8のドレインとMOSFET T10のドレイン、MOSFET T6とT9のゲートは信号出力端子2に接続されている。

なお、MOSFET T8のゲートは入力レベル変換回路ブロック3の非反転出力端子6に接続されている。

また、MOSFET T1, T3, T4, T9, T10はPチャネル型であり、MOSFET T2, T5~T8はNチャネル型である。そして、MOSFET T6とT9とによりCMOSインバータを構成しており、MOSFET T6にMOSFET T5が並列に接続されている。同じく、MOSFET T7とT10はCMOSインバータを構成しており、MOSFET T7にMOSFET T8が並列に接続されている。

7

に変化した場合、すなわち、反転出力端子5がローレベルに変化した場合には、その変化した瞬間には、MOSFET T6, T10が導通状態で、MOSFET T7, T9が非導通状態のため、非反転出力端子6がハイレベルとなることで、MOSFET T8のドレインはMOSFET T8, T10の導通抵抗比で決まる電圧となる。したがって、MOSFET T8, T10の導通抵抗を適当に選ぶことにより、MOSFET T9が導通状態、MOSFET T6が非導通状態となり、MOSFET T7, T10のゲートはVccと同電位となる。

これにより、MOSFET T10が非導通状態、MOSFET T7が導通状態となり、信号出力端子2はローレベルとして0Vが出力される。

同様に、非反転出力端子6がローレベルに変化した場合、すなわち、反転出力端子5がハイレベルに変化した場合には、その変化した瞬間には、MOSFET T7, T9が導通状態でMOSFET T6, T10が非導通状態のため、反転出力端子5がハイレベルとなる。

9

次に、以上のように構成されたこの発明の半導体入力回路の動作について説明する。MOSFET T1のソースに印加される電圧はMOSFET T3, T4のしきい値電圧 V_{TP} に対応して、 $V_{cc}-2|V_{TP}|$ となるため、MOSFET T1が非導通となる信号入力端子1の入力電圧条件は $V_{in} > V_{cc}-3|V_{TP}|$ となる。

このため、信号入力端子1に加わる電圧がTTLレベルのハイレベルである2.0Vが印加された場合にも、MOSFET T1~T4を定常時に流れる電流を「0」とすることができ、レベル変換回路ブロック3の反転出力端子5には0V、非反転出力端子6には信号入力端子1の電圧が出力される。

逆に、信号入力端子1にローレベルである0.8V以下が印加された場合には、MOSFET T2が非導通となり、反転出力端子5には $V_{cc}-2|V_{TP}|$ の電圧が出力され、非反転出力端子6には信号入力端子1の電圧が出力される。

次に、双安定状態保持回路ブロック4の動作について説明する。非反転出力端子6がハイレベル

8

これにより、MOSFET T5のドレインはMOSFET T5, T9の導通抵抗比で決まる電圧となるので、MOSFET T5, T9の導通抵抗を適当に選ぶことにより、MOSFET T10が導通状態、MOSFET T7が非導通状態となる。したがって、MOSFET T6, T9のゲートはVccと同電位となり、MOSFET T9が非導通状態で、MOSFET T6が導通状態となり、信号出力端子2はハイレベルとして、Vccと同電位が出力されるように、双安定状態保持回路ブロック4が動作する。

さらに、この半導体入力回路では、信号出力端子2をハイレベル、ローレベルに変化させる主要素は反転出力端子5、非反転出力端子6にハイレベルが入力されることにあり、ローレベルの入力は従属的であるため、入力回路のしきい値電圧は双安定状態保持回路ブロック4のしきい値電圧が支配的となる。

以上説明したように、第1の実施例では、出力ハイレベルはVccレベルより低い、TTLレベルのハイレベルが入力された場合でも、直流電流

経路が生じない入力レベル変換回路ブロック3と、TTLレベルのハイレベルで状態の変化する双安定状態保持回路ブロック4で半導体入力回路を構成しているから、TTLレベルのハイレベルがこの半導体入力回路に入力された場合でも、定常的には、直流消費電力は零となる利点がある。

また、第1の実施例の回路のしきい値電圧は双安定状態保持回路ブロック4のしきい値電圧が支配的であるため、この双安定状態保持回路4のしきい値電圧はMOSFET T5, T6, T9 および T7, T8, T10 で構成される回路のバランスで決定され、したがって、しきい値電圧は回路定数により決まり、製造工程のバラツキ要素の影響を受けにくいと云う利点がある。

さらに、上記第1の実施例では、MOSFET T1とVccの電源が印加される電源線との間に二つのPチャネル型のMOSFET T3, T4を接続した入力レベル変換回路ブロック3を用いた場合で説明したが、第3図に示すように、MOSFET T3, T4に代えて、Nチャネル型のMOSFET

11

Tを内部または外部の基準電源線に接続され、適宜バイアスされたNチャネル型のMOSFET T13のドレインを電源線(Vccの電圧が印加されている)に接続し、このMOSFET T13のソースをMOSFET T1のソースに接続した入力レベル変換回路ブロック3であつても、同様に、MOSFET T13のしきい値電圧 V_{TN} およびMOSFET T13のゲートに印加される基準電源V1に応じて、MOSFET T1のソースは $V1 - |V_{TN}|$ となる。

したがって、前記第1および第2の実施例と同様の動作が得られるため、TTLレベル入力電圧に対して定常的な直流電流を零とすることができ、さらに、製造工程のバラツキ要素の影響を受けにくいと云う効果が得られる。

加えて、この第3の実施例では、MOSFET T1のソース端子電圧はVccではなく、基準電源V1により定まるので、Vccの電源線から安定化回路を通じた出力を基準電源V1にすることで、電源電圧の変動によるしきい値電圧の変動はなくなる。

13

T11, T12を用いて、MOSFET T1のソースにMOSFET T11のソースを接続し、このMOSFET T11のゲートとドレインを接続して、MOSFET T12のソースに接続し、MOSFET T12のゲートとドレインを電源線(Vccの電圧が印加されている)に接続した入力レベル変換回路ブロックでもよい。

このように構成しても、上記第1の実施例と同様に、MOSFET T11とT12のしきい値電圧 V_{TN} に対応して、MOSFET T1のソース電圧は $Vcc - 2|V_{TN}|$ となる。したがって、第1の実施例と同様の動作が得られるため、TTLレベル入力電圧に対して定常的な直流電流を零とすることができる。さらに、製造工程のバラツキ要素の影響を受けにくいと云う同様の効果が生じる。

上記第1および第2の実施例では、MOSFET T3, T4またはT11, T12のようなドレインとゲートを接続したMOSFETをVccとMOSFET T1のソースの間に直列に接続したものであるが、それに代えて、第4図に示すように、ゲー

12

また、入力振幅としては、基準電源V1の設定により変化させることが可能であると云う利点がある。

以上のように、この発明の半導体入力回路によれば、電源線と接地線間に縦続的に接続した電位降下回路とCMOSインバータとによりレベル入力変換回路を形成してTTLレベルの信号に対して直流経路をなくするようにした相補的に出力させるとともに、TTLレベルのハイレベルで状態が変化するように双安定状態保持回路を形成するようにしたので、超低消費電力にできる利点がある。

これにともない、低消費電力指向のスタティクメモリ、ダイナミックメモリ、論理LSIなどの集積回路の入力回路に特に有効となり、製造工程のバラツキを少なくすることができ、特に、入力ピンが多い論理LSIに有利になるものである。

4. 図面の簡単な説明

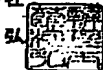
第1図は従来の相補型MOS入力回路を示す回路図、第2図はこの発明の半導体入力回路の一実施例を示す回路図、第3図および第4図はそれぞ

14

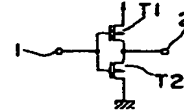
れこの発明の半導体入力回路の他の実施例を示す回路図である。

1…信号入力端子、2…信号出力端子、3…入力レベル変換回路ブロック、4…双安定状態保持回路ブロック、5…反転出力端子、6…非反転出力端子、7…電圧降下回路、T1～T13…MOSFET。

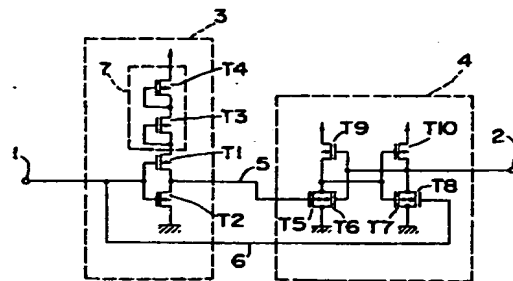
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘



第 1 図

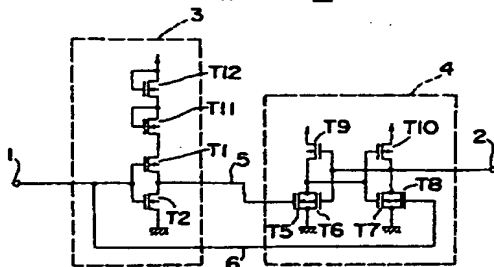


第 2 図

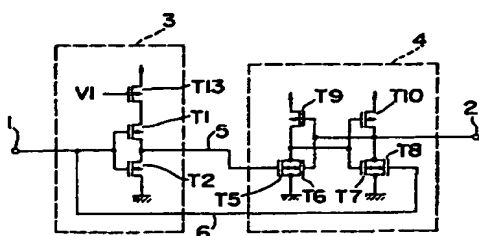


15

第 3 図



第 4 図



手続補正書

昭和 57 年 12 月 17 日

特許庁長官 若杉 和夫 殿

1. 事件の表示

昭和 57 年 特 許 願 第 4 4 6 3 7 号

2. 発明の名称

半 導 体 入 力 回 路

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖 電 気 工 業 株 式 会 社

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第 1 号

弁理士 菊 池 弘

コード第6568号 電話 591-3065・501-2453

5. 補正命令の日付 昭和 年 月 日(自発)

6. 補正の対象

明細書の特許請求の範囲および発明の詳細な説明の欄

7. 補正の内容

別紙の通り

7. 補正の内容

- 1) 明細書の「2. 特許請求の範囲」を別紙の通り訂正する。
- 2) 明細書4頁16行「5Vに」を「5Vを」と訂正する。
- 3) 同9頁6行「ドレインは」を「ドレイン端子は」と訂正する。
- 4) 同9頁末行および10頁1行「となる。これにより、MOS FET」を「となることで、MOS FET」と訂正する。
- 5) 同10頁1行「ドレインは」を「ドレイン端子は」と訂正する。
- 6) 同10頁19行「低い、TTLレベル」を「低いTTLレベル」と訂正する。
- 7) 同14頁8行「よりにした相補的に出力させ」を「よりにし、相補的な信号を出力させ」と訂正する。

2

る第1の並列接続のMOSトランジスタと、上記第3のCMOSインバータの接地側のMOSトランジスタと並列に接続され上記反転出力端子がハイレベルになると第2のCMOSインバータの電源側のMOSトランジスタと第3のCMOSインバータの接地側のMOSトランジスタを導通状態にしてハイレベルを出力させる第2の並列接続のMOSトランジスタから構成された双安定状態保持回路ブロックとよりなる半導体入力回路。

(2) 電位降下回路はゲートをドレインに接続したMOSトランジスタを2段以上縦続接続または1段より構成されることを特徴とする特許請求の範囲第1項記載の半導体入力回路。

(3) 電位降下回路はゲートにバイアスが印加されたMOSトランジスタであることを特徴とする特許請求の範囲第1項記載の半導体入力回路。

2

2. 特許請求の範囲

(1) 電源線と接地線との間に縦続接続された電位降下回路と第1のCMOSインバータとよりなり第1のCMOSインバータにハイレベルが入力されたときに反転出力端子にローレベルを出力しかつ非反転出力端子に入力電位を出力するとともにローレベルが入力されたときに反転出力に電極電圧から上記電位降下回路のしきい値電圧の差電圧だけ低い電圧を出力しかつ非反転出力端子に入力電位を出力するよう構成された入力レベル変換回路ブロックと、相互に入出力端をたすきがけ状に接続するとともに一方のMOSトランジスタのソースを電源線に接続しかつ他方のMOSトランジスタのソースを接地線に接続した第2および第3のCMOSインバータと、この第2のCMOSインバータの接地側のMOSトランジスタと並列に接続され上記非反転出力端子がハイレベルになると第2のCMOSインバータの接地側のMOSトランジスタと第3のCMOSインバータの電源側のMOSトランジスタを導通させてローレベルを出力させ

1